

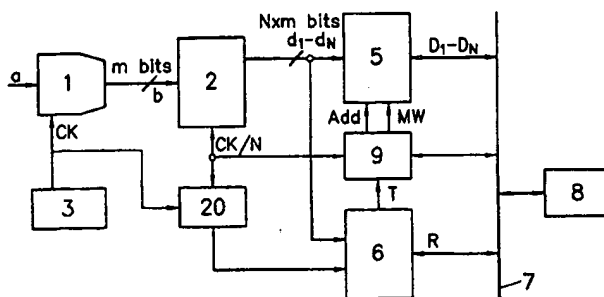


DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁶ : G06F 17/40, H03M 1/00	A1	(11) Numéro de publication internationale: WO 99/60495 (43) Date de publication internationale: 25 novembre 1999 (25.11.99)
(21) Numéro de la demande internationale: PCT/CH99/00153 (22) Date de dépôt international: 16 avril 1999 (16.04.99) (30) Données relatives à la priorité: 98810452.7 18 mai 1998 (18.05.98) EP (71) Déposant (pour tous les Etats désignés sauf US): ACQIRIS [CH/CH]; 18, chemin des Aulx, CH-1228 Plan-les-Ouates (CH). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): HUNGERBUEHLER, Viktor [CH/CH]; 30, chemin des Grandes Vignes, CH-1242 Satigny (CH). MAURON, Bernard [CH/CH]; 33, chemin de la Fontaine, CH-1292 Chambésy (CH). (74) Mandataire: SAAM, Christophe; Patents & Technology Surveys, 2, Faubourg du Lac, P.O. Box 1448, CH-2001 Neuchâtel (CH).		(81) Etats désignés: AE, AL, AM, AT, AT (modèle d'utilité), AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, CZ (modèle d'utilité), DE, DE (modèle d'utilité), DK, DK (modèle d'utilité), EE, EE (modèle d'utilité), ES, FI, FI (modèle d'utilité), GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SK (modèle d'utilité), SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZA, ZW, brevet ARIPO (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), brevet eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG). Publiée <i>Avec rapport de recherche internationale.</i>

(54) Title: DATA ACQUISITION SYSTEM COMPRISING MEANS FOR ANALYSING AND STORING IN REAL TIME

(54) Titre: SYSTEME D'ACQUISITION DE DONNEES COMPRENANT DES MOYENS D'ANALYSE ET DE STOCKAGE EN TEMPS REEL



(57) Abstract

The invention concerns a data acquisition system wherein a circuit for converting a high frequency analog input signal (a) into a plurality of digital signals (D_1-D_N) capable of being processed by a digital processor (8) comprises: an analog-to-digital converter (1) with m bits; a memory (5) for storing digital data (d_1-d_N) converted by said converter, said memory being accessible by said digital processor (8); a circuit for analysing (6) in real time said digital data (d_1-d_N), capable of modifying said digital data (d_1-d_N) storage address in said memory (5) following the detection of a predetermined event in said digital data (d_1-d_N). The invention enables to modify acquired data storage address and to store time windows time-related to particular events in the signal.

(57) Abrégé

Le circuit de conversion d'un signal d'entrée analogique (a) haute fréquence en une pluralité de signaux numériques (D_1-D_N) aptes à être traités par un processeur numérique (8) dans un système d'acquisition de données comprend: un convertisseur analogique-numérique (1) à m bits, une mémoire (5) de stockage des données numériques (d_1-d_N) converties par ledit convertisseur, ladite mémoire étant accessible par ledit processeur numérique (8), un circuit d'analyse (6) en temps réel desdites données numériques (d_1-d_N), apte à modifier l'adresse de stockage desdites données numériques (d_1-d_N) dans ladite mémoire (5) suite à la détection d'un événement prédéfini dans lesdites données numériques (d_1-d_N). Avantage: permet de modifier l'adresse de mémorisation des données numériques acquises. Permet de mémoriser des fenêtres temporelles liées temporellement à des événements particuliers dans le signal.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroon	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne						

Système d'acquisition de données comprenant des moyens d'analyse et de stockage en temps réel

La présente invention concerne un système d'acquisition de données comprenant un circuit de conversion d'un signal d'entrée analogique en une pluralité de signaux numériques, selon le préambule de
5 la revendication 1. La présente invention concerne en particulier un système d'acquisition de données comprenant un circuit de conversion fournissant des signaux numériques aptes à être traités par un processeur numérique dans un système d'acquisition de données.

10 On connaît de nombreux types de systèmes d'acquisition de données, par exemple des enregistreurs transitoires et des oscilloscopes numériques, dans lesquels il est nécessaire de convertir un ou plusieurs signaux analogiques en un ou plusieurs signaux numériques aptes à être mémorisés dans une mémoire numérique et traités par un processeur
15 numérique. Ces systèmes comprennent généralement un étage d'entrée constitué d'un ou plusieurs numériseurs et d'une mémoire pour les données numérisées ; le processeur accède le plus souvent à ladite mémoire via un bus. Dans les systèmes à basse fréquence, cette mémoire peut par exemple être constituée directement par la mémoire vive d'un ordinateur. Les
20 données numérisées sont stockées dans cette mémoire et traitées, par exemple affichées, par le processeur de cet ordinateur soit en temps réel, soit ultérieurement, par exemple lorsque toutes les données ont été acquises.

On utilise de plus en plus souvent dans la technique électronique
25 des signaux analogiques à très haute fréquence qui nécessitent des systèmes d'acquisition, par exemple des oscilloscopes, très rapides. On réalise actuellement des numériseurs qui travaillent avec une fréquence d'échantillonnage supérieure à 500 MHz, par exemple de l'ordre de 1GHz ou plus ; il est à prévoir que ces limites actuelles vont être dépassées avec
30 l'apparition de composants plus performants. Ces numériseurs permettent en vertu du principe de Nyquist de fournir une représentation numérique

fidèle de signaux analogiques ayant une fréquence maximale de plusieurs centaines de MHz.

Ces numériseurs ultra-rapides fournissent un mot numérique, par exemple un octet dans le cas de convertisseurs à huit bits, à chaque flanc du signal d'échantillonnage, par exemple chaque nanoseconde ; le débit numérique généré est donc extrêmement élevé, et généralement incompatible avec la fréquence d'écriture maximale des circuits de mémoire usuels. On connaît donc l'utilisation de démultiplexeurs, qui permettent dans un système d'acquisition de données de fournir en parallèle N mots délivrés en série par un numériseur. La fréquence à la sortie du démultiplexeur est divisée par N, au prix d'une multiplication par ce même facteur de la largeur du bus de données. Le démultiplexeur permet donc de convertir un flux de mots de m bits en un autre flux de mots de $N \times m$ bits de débit N fois plus faible, et donc compatible avec les vitesses d'écriture des composants mémoires disponibles.

Dans de nombreuses situations, on s'intéresse plus particulièrement à certains événements particuliers dans un flux de données continu ou très long. Par exemple, on souhaite souvent acquérir une fenêtre temporelle de taille limitée autour d'un événement particulier du signal analysé, par exemple autour d'un passage à zéro. Lorsque le flux de données à analyser est continu, ou très long, il n'est pas possible de le stocker entièrement en mémoire pour un coût acceptable. La taille de la mémoire disponible dans un système conventionnel impose donc généralement un compromis entre la fréquence d'échantillonnage et la durée d'acquisition du signal. Si la fenêtre d'acquisition mémorisée est trop courte, elle risque cependant de ne pas contenir les instants les plus importants du signal, notamment les échantillons juste avant et juste après l'occurrence d'un événement particulier du signal.

Un but de l'invention est de remédier à ces inconvénients, et d'étendre les possibilités de traitement et d'analyse en temps réel de données numériques à haute fréquence dans un système d'acquisition de données.

Un autre but est de fournir un système permettant d'acquérir des échantillons numériques dans une fenêtre temporelle liée temporellement avec un événement prédéfini dans ce signal, et ainsi de mémoriser principalement les portions du signal les plus importantes.

5 Selon l'invention, ces objectifs sont atteints au moyen d'un système d'acquisition de données comportant les éléments de la revendication 1, différentes variantes étant par ailleurs indiquées dans les revendications dépendantes.

10 En particulier, ces objectifs sont atteints grâce à un système d'acquisition de données dans lequel, suite à la détection au moyen d'un circuit d'analyse en temps réel d'un événement particulier dans un flux de données numériques, la mémorisation de données dans la mémoire de stockage est altérée, par exemple interrompue, de façon à permettre le traitement ou la visualisation d'une portion limitée du flux de données.

15 Selon l'invention, ces objectifs sont en outre atteints au moyen d'un circuit pour convertir un signal analogique haute fréquence en une pluralité de signaux numériques aptes à être traités par un processeur numérique dans un système d'acquisition de données, comprenant un convertisseur analogique-numérique, un élément de mémorisation
20 accessible par le processeur pour mémoriser les données numériques converties, et un circuit d'analyse en temps réel des données numériques converties, apte à modifier l'adresse de mémorisation des données dans les moyens de mémorisation suite à la détection d'un événement particulier dans les données numériques converties.

25 Dans une variante préférentielle de l'invention, le circuit d'analyse est connecté à la sortie d'un démultiplexeur fournissant en parallèle une pluralité de mots de m bits fournis en série par le convertisseur analogique numérique.

30 En réalisant ou en programmant le circuit d'analyse de manière appropriée, il est ainsi possible de détecter en temps réel des événements

quelconques dans le flux de données numériques, et ainsi de modifier immédiatement l'adresse de mémorisation de ces données, de façon à conserver en mémoire une fenêtre temporelle liée à cet événement.

Avantageusement, le fonctionnement du circuit d'analyse en
5 temps réel peut être paramétré ou même complètement déterminé ou programmé par le processeur numérique ; une grande flexibilité est ainsi obtenue, et il est possible d'effectuer une détection de différents événements sans modifier la configuration physique du circuit.

L'invention sera mieux comprise à l'aide de la description d'un
10 mode de réalisation de l'invention donné à titre d'exemple et illustré par les figures qui montrent :

La figure 1 un schéma-bloc d'un circuit de conversion d'un signal d'entrée analogique haute fréquence en une pluralité de signaux numériques selon l'invention.

15 La figure 2 un schéma-bloc du contrôleur d'adresse selon l'invention.

La figure 3 un diagramme temporel de différents signaux générés par le circuit de l'invention.

Bien que le circuit de l'invention soit particulièrement destiné à
20 être utilisé dans un oscilloscope, notamment dans un oscilloscope numérique à haute fréquence, ou dans un enregistreur transitoire, l'homme du métier comprendra que ce circuit peut également être utilisé dans tout système d'acquisition de données haute-fréquence, en particulier lorsque la fréquence d'échantillonnage du ou des numériseurs est égale ou
25 supérieure à la fréquence de bus externe du processeur numérique.

La figure 1 illustre un schéma-bloc de l'ensemble du circuit de conversion selon l'invention. Ce circuit est destiné à être utilisé dans un système d'acquisition de données de type connu. Au moins un signal

analogique (a) à analyser est converti en un signal numérique b par au moins un numériseur 1 de type connu. Le numériseur 1 comprend de préférence un étage d'échantillonnage et maintien (Sample-and-Hold) et un convertisseur analogique-numérique montés en série. Le numériseur 1
5 fournit à chaque instant d'échantillonnage, déterminé par un signal d'horloge CK fourni par le générateur d'horloge 3, une valeur d'échantillonnage correspondant à la valeur instantanée du signal analogique a. Pour que le signal analogique a soit représenté de manière non équivoque par le signal numérique b, le numériseur 1 doit utiliser une
10 fréquence d'échantillonnage au moins égale à la fréquence de Nyquist, c'est-à-dire une fréquence au moins égale au double de la fréquence maximale du signal analogique. Si le circuit est destiné à analyser des signaux de plusieurs centaines de MHz, on choisira donc de préférence une fréquence d'échantillonnage supérieure à 500MHz, de préférence
15 supérieure à 1 GHz. Dans une variante non représentée, il est également possible d'utiliser dans le cadre de cette invention plusieurs numériseurs fournissant des échantillons numériques entrelacés, afin d'augmenter la fréquence d'échantillonnage possible avec un type de numériseur donné.

La résolution du numériseur 1 dépend des besoins de
20 l'application spécifique ; dans de nombreuses applications de haute fréquence, un numériseur à relativement basse résolution, fournissant des valeurs d'échantillonnage codées par exemple avec un nombre de bits m de 8, 10 ou 12, est suffisant, l'invention n'étant toutefois pas limitée à ces valeurs de m.

25 Le numériseur 1 fournit à chaque instant d'échantillonnage un mot de m bits, par exemple 8 bits toutes les nanosecondes. Ce débit est supérieur à la fréquence d'écriture maximale des mémoires vives usuelles, en sorte que pour mémoriser ces données dans une mémoire vive 5, il est généralement nécessaire de les démultiplexer au moyen d'au moins un
30 démultiplexeur 2 de type connu permettant de diviser le débit du signal numérique b par un facteur N, par exemple par 4, l'invention n'étant toutefois pas limitée à cette valeur particulière de N ni même à la présence d'un démultiplexeur. Ces données démultiplexées sont mémorisées dans au

moins une mémoire vive 5, l'adresse de stockage étant déterminée par un compteur d'adresse 9 décrit plus bas. Un système de traitement numérique, comprenant au moins un processeur numérique 8 accède ensuite aux données mémorisées D_1 - D_N de préférence par l'intermédiaire d'un bus 7, et
5 selon l'algorithme exécuté effectue différentes opérations de traitement, d'analyse, de stockage et/ou d'affichage de ces données sur un écran non représenté.

La mémoire vive 5 peut être constituée par n'importe quel type de mémoire dynamique ou de préférence statique, sous la forme d'un ou
10 plusieurs modules discrets organisés selon n'importe quel schéma approprié. Dans une variante préférentielle de l'invention, la mémoire 5 est une mémoire à double accès, permettant au système de traitement numérique 8 d'accéder aux données mémorisées pendant que le démultiplexeur 2 écrit de nouvelles données. De manière préférentielle, le
15 système de traitement numérique 8 peut en outre accéder au compteur d'adresse 9 pour modifier l'adresse à laquelle les données démultiplexées sont écrites, ou pour modifier l'organisation de cette mémoire en organisant par exemple un ou plusieurs segments à l'intérieur de cette mémoire.

20 Selon l'invention, le circuit de conversion comporte au moins un circuit numérique d'analyse en temps réel 6 apte à analyser en temps réel les données numériques b fournies par le convertisseur analogique-numérique 1. Les données sont analysées parallèlement à leur mémorisation dans la mémoire 5. Dans la variante préférentielle illustrée, le
25 circuit d'analyse 6 est relié à la sortie du démultiplexeur 2, et reçoit ainsi des données numériques dont le débit est divisé par N par rapport aux données b à la sortie du convertisseur 1. Le circuit d'analyse 6 pourrait toutefois aussi être connecté directement à la sortie du convertisseur 1, dans le cas d'un circuit suffisamment rapide par rapport aux données
30 acquises par le système.

Le circuit numérique 6 est synchronisé par les signaux fournis par le générateur d'horloge 20. Il fournit en sortie un signal de déclenchement

(trigger) commandant le contrôleur d'adresse 9 lorsqu'un événement déterminé est détecté dans le flux de données. Dans une variante préférentielle de l'invention, comme on le verra plus loin, le circuit numérique 6 fournit en outre un signal de résultat R au système de traitement numérique 8.

Le signal de déclenchement T peut par exemple être fourni par le circuit 6 dès que celui-ci détecte une erreur ou une condition particulière dans le signal numérique b. Il est également possible dans le cadre de cette invention de réaliser des circuits d'analyse fournissant un signal de déclenchement T lorsqu'un événement quelconque parmi une pluralité d'événements prédéfinis se produit, ou lorsque plusieurs conditions distinctes sont réunies. De la même manière, il est possible de réaliser un circuit d'analyse réagissant à des événements distincts en délivrant des signaux de déclenchement distincts T_0 - T_L pouvant engendrer un comportement différent du contrôleur d'adresse 9. Il est en outre également possible dans le cadre de cette invention de prévoir plusieurs circuits d'analyse 6 branchés en parallèle effectuant différents traitements sur les données numériques b, de façon à détecter différents événements dans ces données.

La figure 2 illustre de manière plus détaillée le contrôleur d'adresse 9 selon un mode de réalisation préférentiel de l'invention, tandis que la figure 3 illustre à titre d'exemple plusieurs signaux dans ce contrôleur 9. Les éléments correspondants sur les différentes figures sont désignés par les mêmes numéros de références; les composants du contrôleur d'adresse 9 sur la figure 1 étant indiqués par un numéro commençant par 9 sur la figure 2.

Le contrôleur d'adresse 9 comporte principalement un compteur d'adresse 90 incrémenté par un signal dont la fréquence correspond de préférence à la fréquence d'échantillonnage CK/N des signaux à la sortie du démultiplexeur 2. Le compteur d'adresse 90 fournit en sortie un signal MW (Memory Write) dont la fréquence correspond à celle du signal CK/N ainsi qu'une adresse Add dont la valeur est incrémentée d'une position

d'adressage à chaque impulsion du signal MW. Les données numériques d_1 - d_N fournies par le démultiplexeur 2 sont stockées à chaque impulsion de MW dans la mémoire 5 dans la nouvelle adresse indiquées par le signal Add.

5 Le compteur d'adresse 90 est cyclique; après avoir compté un nombre d'impulsions prédéterminé, indiqué dans un registre de profondeur de segment 93, l'adresse Add à la sortie du compteur 90 retourne à la valeur initiale de comptage indiquée dans un registre d'adresse initiale 91. Le flux de données numérisées est donc mémorisé
10 dans un segment i de la mémoire 5 dont la longueur i_{LENGTH} est déterminée par le registre 93 et la position initiale $A_{INIT}(i)$ par le registre 91; lorsque le segment est plein, en l'absence d'événement détecté par le circuit 6, les nouvelles données écrasent celles écrites précédemment dans le même segment i . Les registres 90 et 93 sont accessibles depuis le bus 7 et peuvent
15 ainsi être modifiés par les moyens de traitement 8 programmés de manière adéquate.

 Le signal d'horloge CK/N est également fourni à l'entrée d'une porte logique de type ET 96 recevant sur son autre entrée un signal de déclenchement T provenant du circuit d'analyse 6 de la figure 1. Le signal A
20 à la sortie de la porte logique 96 est utilisé pour incrémenter un compteur de décalage après déclenchement (post-trigger counter) 95, permettant d'indiquer un décalage temporel de la fenêtre d'analyse. Le compteur 95 est ainsi incrémenté à chaque impulsion du signal d'horloge CK/N dès que le signal T prend la valeur 1, c'est-à-dire dès que le circuit d'analyse 6 a
25 détecté une condition particulière sur le signal numérique analysé.

 Après avoir compté un nombre SHFT d'impulsions prédéterminé, indiqué par un registre de décalage 94 accessible par le bus 7 et par les moyens de traitement 8, la sortie B du compteur change d'état, comme
30 indiqué sur la quatrième ligne de la figure 3. La position A_{INIT} du segment d'écriture dans la mémoire 5 est alors décalée d'un segment, au moyen d'un additionneur 92 fournissant à l'entrée de réinitialisation du registre 91 une valeur obtenue en additionnant la valeur précédente $A_{INIT}(i)$ du registre

91 avec la valeur i_{LENGTH} indiquée par le registre de profondeur de segment 93. Le compteur d'adresse 90 est ensuite réinitialisé avec la nouvelle valeur de position initiale de segment indiquée par le registre 91. Le signal MW d'écriture dans la mémoire 5 est de préférence interrompu par le compteur 5 90 pendant l'intervalle ADT (Acquisition Dead Time) durant lequel les registres et compteurs sont réinitialisés. Le compteur 95 est lui-même réinitialisé à zéro au cours de l'intervalle ADT.

Comme on le voit plus particulièrement sur la dernière ligne de la figure 3 indiquant la valeur Add à la sortie du compteur d'adresse 90, les 10 données numériques d_1-d_N sont stockées de manière cyclique dans le même segment dont l'adresse initiale est indiquée par le registre 91 jusqu'à l'occurrence d'un événement détecté par le circuit 6 et indiqué par le signal de déclenchement T. Lorsqu'un événement a été détecté, les données numériques continuent d'être écrites dans ce segment pour un temps 15 prédéterminé. Quand ce délai est écoulé, l'adresse d'écriture est modifiée de sorte que les données suivantes sont écrites dans un autre segment de la mémoire 5, typiquement dans un segment voisin, dont l'adresse initiale est indiquée par le registre 95. Le circuit de traitement 8 pourra ainsi récupérer dans différents segments de la mémoire 5 différentes portions du signal 20 numérique b, correspondant à différentes fenêtres d'observations liées à différentes occurrences de l'événement observé.

L'homme du métier comprendra que d'autres organisations de mémoire et d'autres manières de modifier l'adressage de la mémoire suite à l'occurrence d'un événement dans le flux de donnée peuvent être 25 imaginées. En particulier, si différents événements sont détectés par le circuit d'analyse 6, il est possible de mémoriser dans différents segments de mémoire i des portions du signal liées à chaque type d'événement. Il est également possible par exemple de prévoir des longueurs de segment i_{LENGTH} de taille différente selon le type d'événement observé.

30 Le circuit numérique d'analyse 6 pourra être réalisé de n'importe quelle manière adaptée selon le type d'événements à observer. A titre d'exemple, dans un mode de réalisation flexible, mais onéreux, chacun des

N mots de m bits délivrés par le démultiplexeur 2 peut être traité par un système d'analyse autonome, par exemple par un ou plusieurs processeurs de signaux numériques (DSP), par un processeur polyvalent, par un composant numérique quelconque ou par un circuit intégré spécifique (ASIC). Chaque système d'analyse autonome traite un mot sans tenir
5 compte des analyses effectuées par les autres systèmes. Selon l'application, il est aussi possible de relier les différents systèmes de traitement en réseau. Un signal de déclenchement T peut être selon l'application soit provoqué par n'importe quel système d'analyse, soit lorsque les signaux à la sortie de
10 l'ensemble des systèmes remplissent une condition définie.

Les systèmes d'analyse exécutent de préférence un programme stocké dans une mémoire vive ou morte dont le contenu peut être modifié par le système de traitement numérique 8, par l'intermédiaire du bus 7. De cette manière, le programme exécuté par le système de traitement
15 numérique 8 peut modifier l'analyse effectuée par les systèmes d'analyse et donc adapter les conditions de déclenchement du signal T selon les besoins de l'application.

Dans une autre variante préférentielle, le circuit d'analyse 6 fait appel à un réseau de portes, structure généralement désignée par
20 l'appellation anglo-saxonne de gate array. De préférence, le circuit 6 est constitué par une structure de réseaux de porte programmable par l'utilisateur, connue sous le nom de FPGA (field programmable gate array). De nombreux exemples de circuit comportant une telle structure sont par exemple décrits dans des documents de brevets classés notamment dans le
25 groupe H03K-19/177 de la classification internationale des brevets ; nous ne décrivons donc pas plus en détail ces circuits.

De préférence, le circuit d'analyse 6 est de type SRAM-FPGA. Ce composant exécute alors une opération de traitement déterminée par un algorithme mémorisé dans une mémoire vive de type SRAM (static RAM)
30 (non représentée), dont le contenu permet de reprogrammer le circuit 6. Dans une variante préférentielle de l'invention, le système de traitement numérique 8 peut accéder en écriture au travers du bus 7 au contenu de

ladite SRAM, de manière à modifier l'analyse effectuée par le circuit 6 selon les besoins de l'application.

L'homme du métier comprendra que d'autres réalisations du circuit 6 peuvent être imaginées dans le cadre de cette invention.

5 Dans une variante préférentielle de l'invention, décrite plus particulièrement dans la demande de brevet PCT/CH98/00377 au nom de la demanderesse, le circuit numérique d'analyse 6 fournit également un résultat numérique R traité au système de traitement numérique 8. Le résultat numérique R peut selon l'application et le traitement effectué
10 inclure par exemple un seul bit, par exemple un bit de détection d'erreur ou de détection de situation particulière dans les données numériques, par exemple un bit de détection de zéro ou de maximum. Ce bit peut par exemple être fourni sur une ligne de données du bus 7, ou dans une variante être directement relié à une ligne d'interruption matérielle du
15 processeur numérique 8 ou d'un autre composant du système numérique. Dans une variante, le circuit d'analyse 6 peut également fournir un résultat R sur plus d'un bit, par exemple sur un ou plusieurs octets, accessible à une adresse prédéterminée sur le bus 7. Le résultat R peut par exemple inclure des données de type semi-statique, et indiquer par exemple un état semi-
20 permanent des données numériques.

Il est également possible dans le cadre de cette invention de prévoir plusieurs circuits d'analyse 6 branchés en parallèle effectuant différents traitements sur les données démultiplexées, et fournissant différents résultats R1, R2, etc.. à différentes adresses sur le bus 7. Par
25 exemple, il est possible de prévoir un circuit effectuant une détection d'extrêmes, un second circuit effectuant une détection de passage par zéro, un troisième circuit effectuant une détection d'erreurs, etc..

Le circuit numérique d'analyse 6 comprend de préférence une zone de mémoire ou de registre, non représentée, dans laquelle le résultat
30 du traitement est mémorisé. Cette zone de mémoire peut être accédée par le système de traitement numérique 8 à une adresse prédéterminée.

Le système de traitement numérique 8 peut accéder selon le programme exécuté soit aux données D_1 - D_N mémorisées dans la mémoire 5, soit aux résultats R délivrés par le circuit 6, soit aux deux à la fois. Il accède aux résultats R du circuit numérique d'analyse 6 de préférence par

5 l'intermédiaire des lignes de données du bus 7 ou, comme évoqué, de lignes d'interruption. Par exemple, dans le cas où le circuit 6 effectue une détection d'erreur ou d'événement particulier sur le signal d'entrée, il est possible de modifier au moyen d'un signal d'interruption le déroulement du programme exécuté par le processeur numérique 8 lorsqu'une erreur ou

10 une configuration particulière est effectivement détectée. Le signal d'interruption R pouvant éventuellement être généré avant même que le système numérique n'accède aux données correspondantes dans la mémoire 5, il est donc possible de modifier le traitement ou l'affichage de ces données lorsqu'un tel événement est détecté.

Revendications

1. Circuit de conversion d'un signal d'entrée analogique (a) haute fréquence en une pluralité de signaux numériques (D_1 - D_N) aptes à être
5 traités par un processeur numérique (8) dans un système d'acquisition de données, comprenant :

un convertisseur analogique-numérique (1) à m bits,

une mémoire (5) de stockage des données numériques (d_1 - d_N)
converties par ledit convertisseur, ladite mémoire étant accessible par ledit
10 processeur numérique (8),

caractérisé par un circuit d'analyse (6) en temps réel desdites données numériques (d_1 - d_N), apte à modifier l'adresse de stockage desdites données numériques (d_1 - d_N) dans ladite mémoire (5) suite à la détection d'un événement prédéfini dans lesdites données numériques (d_1 - d_N).

15 2. Circuit selon la revendication précédente, caractérisé par un démultiplexeur (2) pour démultiplexer les données numériques (d_1 - d_N) fournies par ledit convertisseur analogique-numérique (1) et fournir en parallèle à ladite mémoire (5) et audit circuit d'analyse (6) N mots de m bits à partir de N mots de m bits fournis successivement par ledit convertisseur
20 analogique-numérique (1).

3. Circuit selon l'une des revendications 1 ou 2, caractérisé par un compteur d'adresse (90) définissant l'adresse à laquelle doivent être mémorisées lesdites données numériques (d_1 - d_N) dans ladite mémoire,

le fonctionnement dudit compteur d'adresse (90) pouvant être
25 contrôlé par ledit circuit d'analyse (6) en temps réel.

4. Circuit selon la revendication précédente, caractérisé en ce que le fonctionnement dudit compteur d'adresse (90) peut en outre être contrôlé par ledit processeur numérique (8).

5. Circuit selon l'une des revendications 3 ou 4, caractérisé en ce
5 le fonctionnement dudit compteur d'adresse (90) peut être contrôlé par une pluralité de registres (91, 93, 94) dont au moins certains sont accessibles en écriture par ledit processeur numérique (8) et/ou par ledit circuit d'analyse (6).

6. Circuit selon l'une des revendications 3 à 5, caractérisé en ce
10 que ledit compteur d'adresse (90) peut être contrôlé de manière à provoquer l'écriture cyclique de segments successifs de données dans le même segment de ladite mémoire (5), puis dans un autre segment suite à l'occurrence d'un dit événement prédéfini.

7. Circuit selon la revendication précédente, caractérisé en ce que
15 la longueur desdits segments peut être contrôlée par ledit processeur numérique (8) et/ou par ledit circuit d'analyse (6).

8. Circuit selon la revendication précédente, caractérisé en ce que, suite à l'occurrence d'un dit événement prédéfini, la valeur dudit compteur (90) est incrémentée d'une valeur mémorisée dans un registre
20 (93) accessible en écriture par ledit processeur numérique (8) et/ou par ledit circuit d'analyse (6).

9. Circuit selon l'une des revendications 6 à 8, caractérisé en ce que la position initiale desdits segments est indiquée dans un registre (91) accessible par ledit processeur numérique (8) et/ou par ledit circuit
25 d'analyse (6).

10. Circuit selon l'une des revendications 5 à 9, caractérisé par un registre (94) accessible par ledit processeur numérique (8) et/ou par ledit circuit d'analyse (6) indiquant à partir de quel instant ladite adresse de

stockage doit être modifiée par ledit circuit d'analyse (6) suite à l'occurrence d'une dite configuration particulière.

11. Circuit selon la revendication précédente, caractérisé en ce que ledit circuit d'analyse (6) fournit en outre des résultats traités audit
5 processeur numérique (8).

12. Circuit selon l'une des revendications précédentes, caractérisé en ce que la fréquence d'échantillonnage du convertisseur analogique-numérique (1) est supérieure à la fréquence de travail du processeur numérique (8).

10 13. Circuit selon l'une des revendications 14 à 24, caractérisé en ce que ledit circuit d'analyse (6) en temps réel comprend N systèmes d'analyse en parallèles.

14. Circuit selon la revendication précédente, caractérisé en ce que chaque système d'analyse comporte un processeur de signal.

15 15. Circuit selon l'une des revendications 1 à 12, caractérisé en ce que ledit circuit d'analyse (6) en temps réel comprend un ou plusieurs gate arrays.

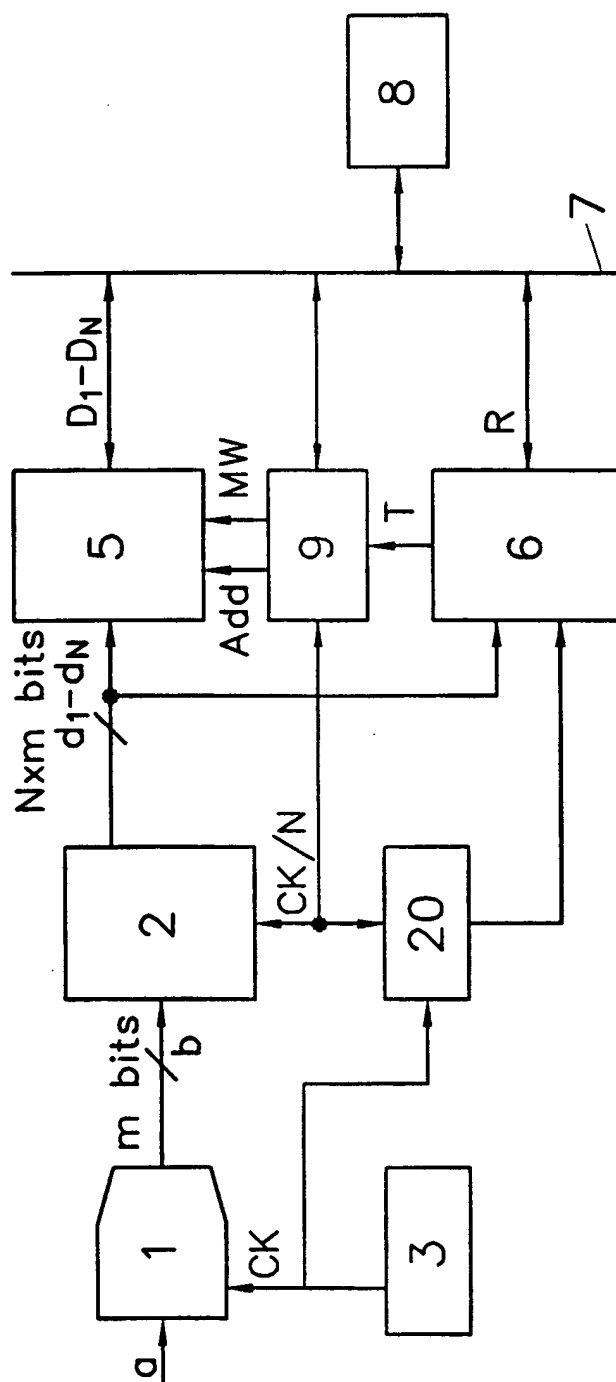
16. Circuit selon la revendication précédente, caractérisé en ce que ledit circuit d'analyse (6) en temps réel comprend un ou plusieurs field
20 programmable gate arrays.

17. Circuit selon la revendication précédente, caractérisé en ce que ledit circuit d'analyse (6) en temps réel comprend un ou plusieurs field programmable gate arrays dont l'algorithme est contenu dans une mémoire vive.

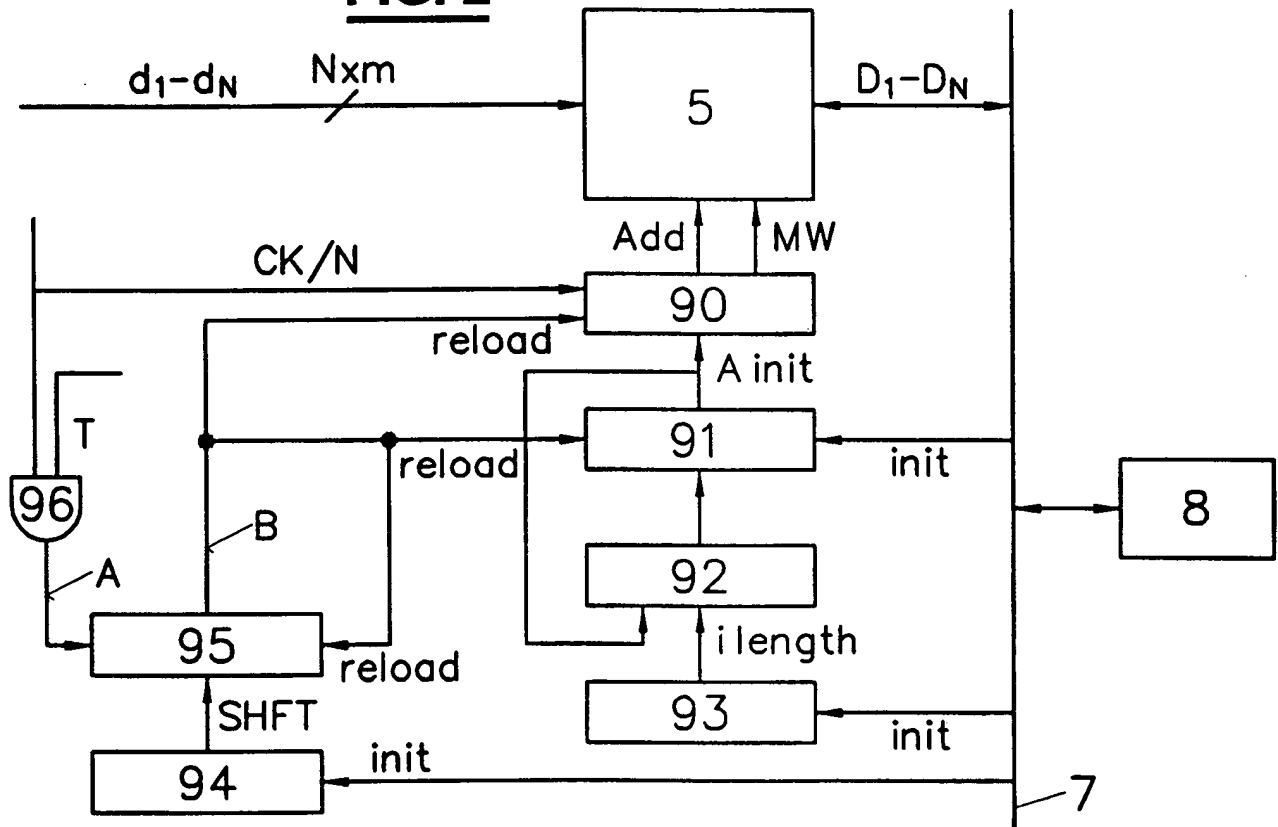
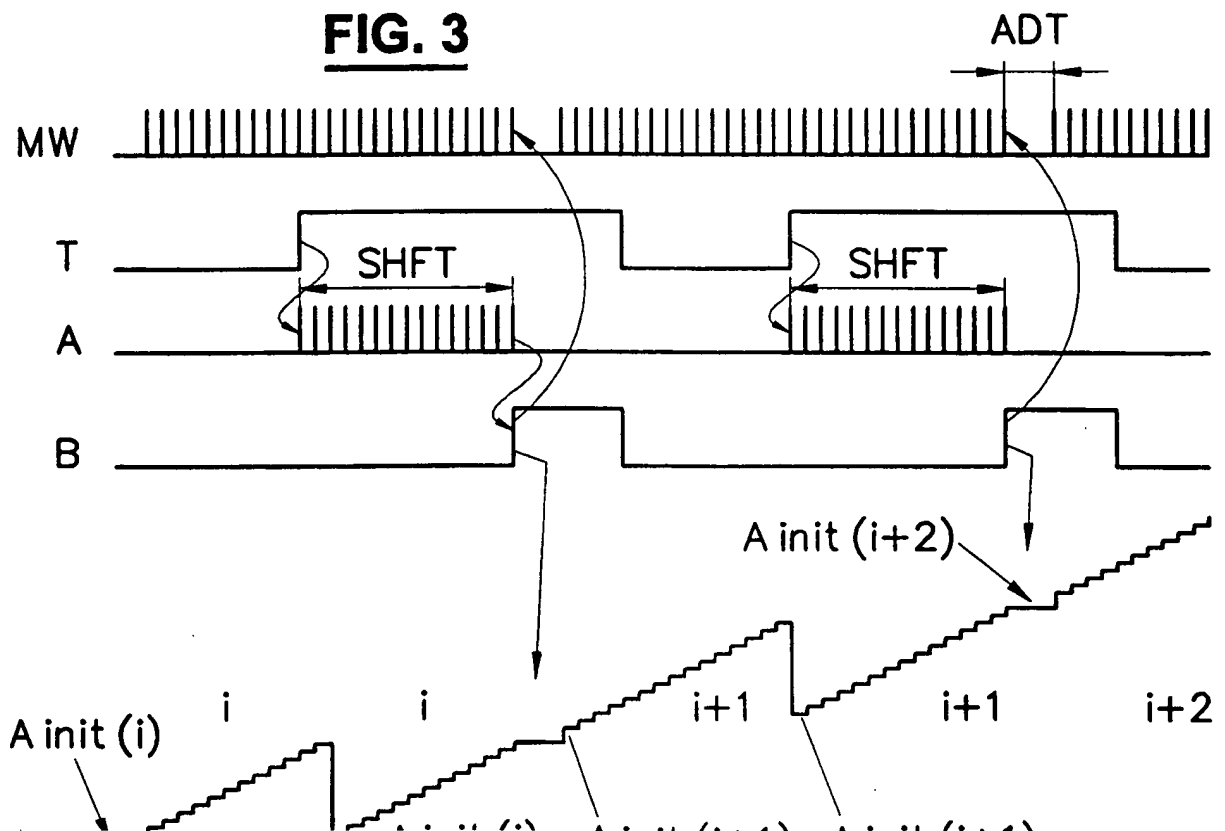
25 18. Circuit selon la revendication précédente, caractérisé en ce que ladite mémoire vive est accessible en lecture et/ou en écriture par ledit processeur numérique (8).

19. Circuit selon l'une des revendications 1 à 18, caractérisé en ce que ladite mémoire (5) comprend une mémoire à double accès accessible simultanément par ledit processeur numérique (8) et par ledit démultiplexeur (2) ou par ledit convertisseur (1).

- 5 20. Oscilloscope comprenant un circuit selon l'une des revendications précédentes.

FIG. 1

2/2

FIG. 2**FIG. 3**

INTERNATIONAL SEARCH REPORT

Int. l. Application No
PCT/CH 99/00153

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 G06F17/40 H03M1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 G06F H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 654 632 A (YOSHIDA KOICHI ET AL) 31 March 1987 (1987-03-31) abstract column 2, line 40 - column 2, line 5; figures 1,3	1,12, 18-20
A	EP 0 375 246 A (HUGHES AIRCRAFT CO) 27 June 1990 (1990-06-27) abstract; claims 1-13 column 5, line 25 - line 48; figures 1-3	1
A	EP 0 629 966 A (DORNIER GMBH) 21 December 1994 (1994-12-21) column 3, line 13 - line 23; claim 1	1,2,12, 20
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

*** Special categories of cited documents :**

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

14 July 1999

Date of mailing of the international search report

23/07/1999

Name and mailing address of the ISA
European Patent Office, P.O. 5818, Patentlaan 2

Authorized officer

INTERNATIONAL SEARCH REPORT

Int lional Application No
PCT/CH 99/00153

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>HUBA G: "HIGH-SPEED DATA ACQUISITION WITH SDA 8020 BY DATA SPLITTING" COMPONENTS, vol. 24, no. 6, 1 December 1989 (1989-12-01), pages 233-235, XP000095517 ISSN: 0945-1137 page 233 - page 235 -----</p>	1,2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/CH 99/00153

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4654632	A	31-03-1987	JP 1023805 B	09-05-1989
			JP 1543918 C	15-02-1990
			JP 60237527 A	26-11-1985
			DE 3511023 A	14-11-1985
EP 0375246	A	27-06-1990	AU 609651 B	02-05-1991
			AU 4690889 A	19-07-1990
			CA 2003467 A,C	22-06-1990
			JP 2245876 A	01-10-1990
			US 5276873 A	04-01-1994
EP 0629966	A	21-12-1994	NONE	

Deie Internationale No
PCT/CH 99/00153

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

Documentation minimale consultée (système de classification suivi des symboles de classement)

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 4 654 632 A (YOSHIDA KOICHI ET AL) 31 mars 1987 (1987-03-31) abrégé colonne 2, ligne 40 - colonne 2, ligne 5; figures 1,3 ---	1,12, 18-20
A	EP 0 375 246 A (HUGHES AIRCRAFT CO) 27 juin 1990 (1990-06-27) abrégé; revendications 1-13 colonne 5, ligne 25 - ligne 48; figures 1-3 ---	1
A	EP 0 629 966 A (DORNIER GMBH) 21 décembre 1994 (1994-12-21) colonne 3, ligne 13 - ligne 23; revendication 1 ---	1,2,12, 20

	-/--	

X Voir la suite du cadre C pour la fin de la liste des documents

X Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'inventivité revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

14 juillet 1999

Date d'expédition du présent rapport de recherche internationale

23/07/1999

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P. B. 5818, Patentplan 2

Fonctionnaire autorisé

RAPPORT DE RECHERCHE INTERNATIONALE

De: le Internationale No
PCT/CH 99/00153

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>HUBA G: "HIGH-SPEED DATA ACQUISITION WITH SDA 8020 BY DATA SPLITTING" COMPONENTS, vol. 24, no. 6, 1 décembre 1989 (1989-12-01), pages 233-235, XP000095517 ISSN: 0945-1137 page 233 - page 235 -----</p>	1,2

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

De le Internationale No

PCT/CH 99/00153

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 4654632 A	31-03-1987	JP 1023805 B	09-05-1989
		JP 1543918 C	15-02-1990
		JP 60237527 A	26-11-1985
		DE 3511023 A	14-11-1985
EP 0375246 A	27-06-1990	AU 609651 B	02-05-1991
		AU 4690889 A	19-07-1990
		CA 2003467 A,C	22-06-1990
		JP 2245876 A	01-10-1990
		US 5276873 A	04-01-1994
EP 0629966 A	21-12-1994	AUCUN	